

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-274906
 (43)Date of publication of application : 28.11.1987

(51)Int.Cl.

H03F 1/02
 H03F 3/19
 H03F 3/217

(21)Application number : 61-118786

(22)Date of filing : 23.05.1986

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>

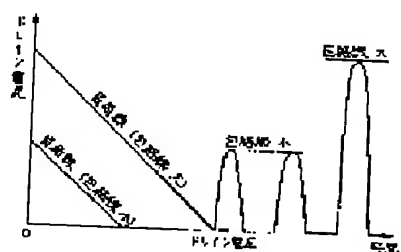
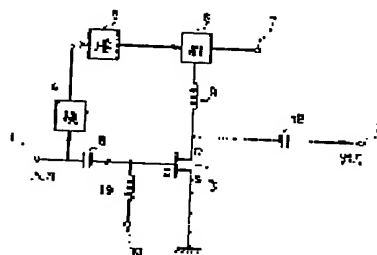
(72)Inventor : NOJIMA TOSHIO
 NISHIKI SADAYUKI
 SUZUKI HIROSHI
 CHIBA KOJI

(54) HIGH FREQUENCY AMPLIFIER

(57)Abstract:

PURPOSE: To efficiently perform linear amplification by providing a circuit, which detects the envelope component of an input signal impressed to the control electrode of a semiconductor amplifying element, and a voltage control circuit which changes the voltage impressed to the drain or collector electrode of said semiconductor element approximately in proportion to the envelope component detected by said circuit.

CONSTITUTION: An envelope detector 4 detects the envelope component of the input signal. The envelop signal is amplified by a DC amplifier 5 and is inputted to a drain voltage control circuit 6. The drain voltage control circuit 6 changes the drain voltage of an FET 3 in proportion to the envelope signal. The drain voltage control circuit 6 is so set that the voltage fed from a DC voltage feed terminal 7 is directly impressed to the drain of the FET 3 when the level of the input signal is maximum and the drain voltage is zero when the level of the input signal is zero. A gate bias is so set that the operating point of the FET 3 corresponds to class B amplification. The variation of the drain voltage and that of the level of the output signal coincide with each other by setting and operating a high frequency amplifier in this manner.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-274906

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)11月28日

H 03 F 1/02
3/19
3/217

7827-5J
6628-5J
7827-5J

審査請求 未請求 発明の数 2 (全6頁)

⑭ 発明の名称 高周波増幅器

⑮ 特 願 昭61-118786

⑯ 出 願 昭61(1986)5月23日

⑰ 発 明 者 野 島 俊 雄 横須賀市武1丁目2356番地 日本電信電話株式会社通信網
第二研究所内
⑰ 発 明 者 西 木 貞 之 横須賀市武1丁目2356番地 日本電信電話株式会社通信網
第二研究所内
⑰ 発 明 者 鈴 木 博 横須賀市武1丁目2356番地 日本電信電話株式会社通信網
第二研究所内
⑰ 発 明 者 千 葉 耕 司 横須賀市武1丁目2356番地 日本電信電話株式会社通信網
第二研究所内
⑰ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号
⑰ 代 理 人 弁理士 井出 直孝

明 細 書

1. 発明の名称
高周波増幅器

2. 特許請求の範囲

(1) ソース接地またはエミッタ接地された半導体増幅素子を備えた高周波増幅器において、

この半導体増幅素子の制御電極に印加される入力信号の包絡線成分を検出する回路と、

この回路が検出する包絡線成分にほぼ比例して上記半導体素子のドレイン電極またはコレクタ電極に印加する電圧を変化させる電圧制御回路とを備えたことを特徴とする高周波増幅器。

(2) ソース接地またはエミッタ接地された半導体増幅素子を備えた高周波増幅器において、

この半導体増幅素子の制御電極に印加される入力信号の包絡線成分を検出する回路と、

この回路が検出する包絡線成分にほぼ比例して上記半導体素子のドレイン電極またはコレクタ電

極に印加する電圧を変化させる第一の電圧制御回路と、

前記包絡線成分にほぼ比例して上記半導体素子の制御電極に印加するバイアス電圧を変化させる第二の電圧制御回路と

を備えたことを特徴とする高周波増幅器。

(3) 第一の電圧制御回路は包絡線成分に比例する制御入力電圧により制御される半導体可変抵抗素子を含む特許請求の範囲第(2)項に記載の高周波増幅器。

(4) 第一の電圧制御回路は、直流直流変換器を含み、その直流直流変換器は包絡線成分に比例する制御入力電圧に応じてスイッチング周波数に変化するスイッチング回路を含む特許請求の範囲第(2)項に記載の高周波増幅器。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は高周波帯の線形増幅器として利用する。本発明は無線送信装置の電力増幅器として利用す

るに過ぎず。本発明は電源効率（直流消費電力に対する高周波出力の効率）の高い高周波増幅器に関するものである。

〔従来の技術〕

従来、高周波帯の増幅器の電源効率を高める方法としてF級増幅が知られている。これは、増幅器をスイッチング動作するまで高い入力レベルで駆動させ、さらに出力整合回路に、信号周波数の高調波に対しては短絡もしくは開放となり、かつ基本信号周波数に対しては整合するようなフィルタ回路を接続し、増幅器内部における電圧と電流の位相を90度ずらして電力の消費がほとんどなくなるようにしたものである。

〔発明が解決しようとする問題点〕

この従来回路では、電源効率が一定の値以上であることが必要であり、このために包絡線成分が時間とともに変化するような信号の増幅には適さない欠点があった。また、線形増幅が可能な増幅形式としては、A級増幅およびB級増幅があるが、いずれも包絡線のレベル変化が大きい場合にはレ

ベルが低い領域において電源効率が低下する欠点があった。

本発明は、入力信号の包絡線レベルが変化することがあり、特に包絡線レベルが低くなる場合にも電源効率が低下することなく動作する線形増幅器を提供することを目的とする。

〔問題点を解決するための手段〕

本発明の第一の発明は、ソース接地またはエミッタ接地された半導体増幅素子を備えた高周波増幅器において、この半導体増幅素子の制御電極に印加される入力信号の包絡線成分を検出する回路と、この回路が検出する包絡線成分にほぼ比例して上記半導体素子のドレイン電極またはコレクタ電極に印加する電圧を変化させる電圧制御回路とを備えたことを特徴とする。

本発明の第二の発明は、上記第一の発明の構成に加えて、入力信号の包絡線成分にほぼ比例して上記半導体素子の制御電極に印加するバイアス電圧を変化させる第二の電圧制御回路を備えたことを特徴とする。

3

第一の電圧制御回路は包絡線成分に比例する制御入力電圧により制御される半導体可変抵抗素子を含むことができる。

第一の電圧制御回路は、直流直流変換器を含み、その直流直流変換器は包絡線成分に比例する制御入力電圧に応じてスイッチング周波数に変化するスイッチング回路を含むことができる。

〔作用〕

本発明はドレイン電圧（またはコレクタ電圧）を入力信号の包絡線レベルに比例して変化させることを最も大きな特徴とする。これにより、入力信号の包絡線の変化によらず動作点を電源利用効率が最も高い点に常に維持できるようにしたもので、この点が従来の技術となっている。

〔実施例〕

第1図は本発明の第一実施例を説明する図であって、図中符号1は信号入力端子、2は信号出力端子、3は増幅素子となる電界効果トランジスタ(FET)である。この増幅器はソース接地形である。符号4は包絡線検波器、5は直流増幅器、

4

6はドレイン電圧制御回路である。符号7は直流電圧給電端子である。符号8は直流阻止コンデンサ、9は高周波阻止チョーク、10はゲートバイアス給電端子である。ここで、ドレイン電圧制御回路6には、トランジスタやPINダイオードを使用して構成した可変抵抗回路を用いる場合、あるいはスイッチングレギュレータのスイッチング周波数を可変にすることにより出力電圧を可変できるようにした電圧可変直流直流変換回路を用いる場合などがある。このドレイン電圧制御回路6については後で詳しく説明する。

包絡線検波器4は入力信号の包絡線成分を検出する。この包絡線信号は直流増幅器5により増幅されドレイン電圧制御回路6に入力される。ドレイン電圧制御回路6はFET3のドレイン電圧を包絡線信号に比例して変化させる。ここでこのドレイン電圧制御回路6は、入力信号のレベルが最大のときに直流電圧給電端子7から給電されている電圧がFET3のドレインに直接印加され、かつ入力信号のレベルが零のときにドレイン電圧が

5

6

零となるように設定する。

つぎにFET 3の動作点がB級増幅となるようにゲートバイアスを設定し、かつ信号の増幅が負荷線いっぱいになるようなドレイン電圧をFET 3に対して与えるように直流増幅器5の増幅度を設定する。

このように設定して動作させることにより、ドレイン電圧の変化と出力信号のレベルの変化量を一致させることができる。これにより波形動作が可能となるから、入力信号のレベルの変化、すなわち入力信号の包絡線の変化によらず、常に許容できる最大の振幅でFETをB級増幅器として動作させることが可能になる。

第2図は入力信号の包絡線の大きいときと小さいときの二つのレベルに対応した負荷線と出力波形の様子を示したものである。同図からわかるように本発明はドレイン電圧を制御することにより負荷線を変化させ、信号の包絡線の変化によらず常に最大の電源効率で増幅動作をするようにしたものでこの点に最大の特徴がある。

7

により、論理的には100%近い効率を達成できる。

第1図の説明で述べた動作と同様に本実施例の場合にも、ドレイン電圧制御回路6は、入力信号の包絡線の変化に追従してドレイン電圧を変化させる。同時にゲートバイアス電圧制御回路13が、同様に入力信号の包絡線の変化に追従してゲート電圧を変化させる。この結果、第4図に示すように負荷線とバイアス点は入力信号の包絡線変化に追従して変化することになる。図では、ゲート電圧は包絡線が大きいときと小さいとき、それぞれ V_{g1} 、 V_{g2} により、そのためドレインバイアス電圧もそれぞれ V_{d1} 、 V_{d2} になっている。このようにして包絡線変化によらず定常的にF級で増幅動作することができる。すなわちF級動作にもかかわらず増幅器は線形増幅器として機能することになる。

以上の説明はF級動作についてであったが、入力電力を過負荷動作まで増大させない場合にはA級増幅となるが、この場合にも同様に入力信号レベルによらず常に負荷線いっぱい信号を振って

次に第3図は本発明の第二の実施例を説明する図である。図中符号11は高調波阻止フィルタ、12は基本周波数同調フィルタ、13はゲートバイアス電圧制御回路である。符号15は別の直流増幅器である。

第3図に示す回路はF級増幅に対応した回路を示している。包絡線検波器4、直流増幅器5、ドレイン電圧制御回路6は第1図のものと同様である。ゲートバイアス電圧制御回路13は入力信号の包絡線の変化に追従してゲート電圧を変化させ、包絡線の各レベルに対してF級としての動作が良好に行われるように、FET 3のバイアス電圧を制御する。高調波阻止フィルタ11は出力信号の波形を整形し、FETに印加される電圧と電流の位相差が90度になるように機能する。基本周波数同調フィルタ12は基本波出力のみが出力されるように機能する。これら二つのフィルタはF級増幅するために必要な基本回路であり、このように構成された回路を使用し、さらに増幅器をスイッチング動作するまで高い入力レベルで駆動させること

8

増幅することが可能である。

第5図は本発明第三実施例回路の回路図である。この例は増幅素子としてバイポーラトランジスタ3を用いたものである。端子1からトランジスタ3のベースに与えられる高周波信号の包絡線を包絡線検波器4により検出し、この出力を直流増幅器5で増幅して、コレクタ電圧制御回路6に与える。コレクタ電圧制御回路6はトランジスタ3のコレクタ電圧を入力高周波信号の包絡線に比例する値に制御する。この構成により、増幅素子がバイポーラトランジスタであっても同様に電源効率の高い増幅器が実現できる。

第6図は本発明を実施するための電圧制御回路6の構成の一例を示す図である。端子21には制御入力として上述の直流増幅器5から与えられる。この制御入力はトランジスタ23のベースに与えられる。トランジスタ23は可変抵抗器として作用する。端子7に与えられる電源電圧はこの制御入力にほぼ比例する電圧として端子22に送出される。

第7図は電圧制御回路6の別の構成例を示す図

9

である。この例は直流直流変換器を用いたものでその制御精度は高い。トランス31の一次側に二つのトランジスタ32および33が、自動発振形のスイッチング素子として接続される。端子21に与えられる制御入力により電界効果トランジスタ34の特性が変化して、このスイッチング素子の発振周波数を変化させる。トランス31は一次側の電圧を昇圧して、その二次側では整流回路35によりこれを整流平滑して直流を得る。この回路により、端子21の制御入力にしたがってこの直流直流変換器の動作発振周波数に変化し、その出力端子22に送出される直流電圧を制御入力にほぼ比例するように制御することができる。

第8図は電圧制御回路5の別の構成例を示す図である。この例は端子21に与えられる制御入力を電圧制御発振器36の制御電圧として、制御入力電圧に対応する周波数の発振出力を得る。この発振出力をトランジスタ37によるコレクタ接地シングル形チョッパ増幅器の制御信号とし、その増幅出力を整流回路35により整流することにより出力電

圧を得る。

第9図はゲートバイアス用の電圧制御回路13の一例を示す回路図である。端子41には直流増幅器15から制御入力を与えられる。端子42には出力電圧が送出される。この回路は直流差動増幅器43を備え、端子45および46から正負の直流動作電流が供給される。端子47には基準電圧 V_o が与えられる。この回路により高周波増幅器の増幅素子の制御電極に一定の直流バイアス電圧を与えたうえで、そのバイアス電圧の変化分を制御入力に比例した値とすることができる。

第10図は増幅器の各バイアス形式について、入力信号レベルに対する増幅効率のシュミレーション結果を示す図である。図中実線は従来形式によるもの、破線はドレイン電圧制御回路としてトランジスタやPINダイオードを用いて構成した可変抵抗器を適用した場合のもので、ドレイン制御回路での損失が生じている。一点鎖線はスイッチングレギュレータのスイッチング周波数を変化することにより出力電圧を可変できる電圧可変形の

1 1

直流直流変換器(第7図の例)を適用した場合のものであり、この場合には原理的にはドレイン電圧を損失なしに変化できる。ここで、 V_{max} 、 V_o はそれぞれ出力信号のピーク電圧と直流電圧給電端子7の給電電圧である。

この結果からわかるように、本発明を適用することにより、可変抵抗器型のドレイン電圧制御回路を用いた場合でも、A級増幅で V_{max}/V_o が0.25~0.75の範囲で約10%の効率改善が達成されている。また、F級増幅の場合には線形増幅器として機能するようになり、かつその効率はB級におけるものよりも20%以上良好になっている。ただし、B級の場合には可変抵抗器では効率の改善は見られない。しかし、電圧可変形の直流直流変換器を用いた場合には、A級、B級、F級それぞれについて、従来の場合の最大振幅動作時の効率を入力信号の包絡線の変化によらず定常的に維持できるため高い増幅効率を達成できる。

以上の結果から明らかなように、本発明の適用により高周波増幅器を従来の技術では達成できな

1 2

かった高い電源効率で線形増幅動作させることが可能になる。

(発明の効果)

以上説明したように、本発明は従来になく高い効率で線形増幅することが可能であるため、高周波帯の送信用線形電力増幅器の低消費電力化を達成する方法とし有効である。大電力送信が必要な放送局用の送信器や消費電力のきわめて低いことが要求される移動通信用無線装置、ならびに線形変調を用いるマイクロ波通信用の無線装置に適用しこれらを小形・経済化・低消費電力化できる利点がある。

4. 図面の簡単な説明

第1図は本発明の第一実施例回路図。

第2図はこの第一実施例の動作を説明するための負荷線図と出力波形図。

第3図は本発明の第二実施例回路図。

第4図は第二実施例の動作を説明するための負荷線図と出力波形図。

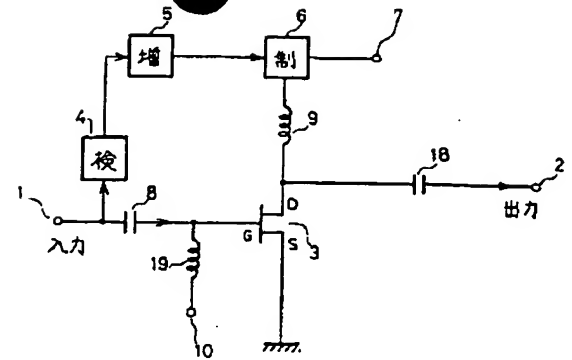
1 3

1 4

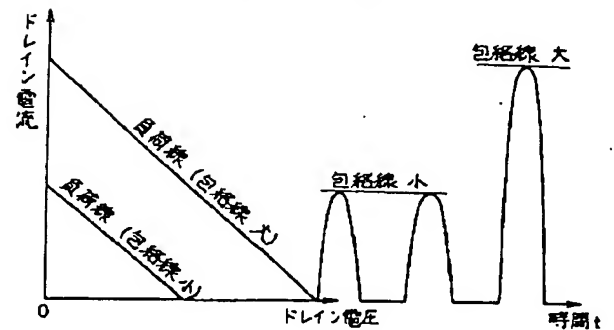
第5図は本発明の第三実施例回路の構成図。
 第6図は本発明を実施するために使用する電圧制御回路の構成例を示す図。
 第7図は電圧制御回路の別の構成例を示す図。
 第8図は電圧制御回路のさらに別の構成例を示す図。
 第9図は制御電極に与えるバイアス電圧を制御する電圧制御回路の構成例を示す図。
 第10図は本発明の効果を示すための各バイアス形式に対する効率のシミュレーション結果を示す図。

1…入力端子、2…出力端子、3…FET、4…包絡線検波器、5…直流増幅器、6…ドレイン用またはコレクタ用の電圧制御回路（第一の電圧制御回路）、7…直流電圧給電端子、8…直流阻止コンデンサ、9…高周波阻止チョーク、10…ゲートバイアス給電端子、11…高調波阻止フィルタ、12…基本周波数同期フィルタ、13…ゲートバイアス用の電圧制御回路（第二の電圧制御回路）、15…直流増幅器、16…第二の電圧制御回路。

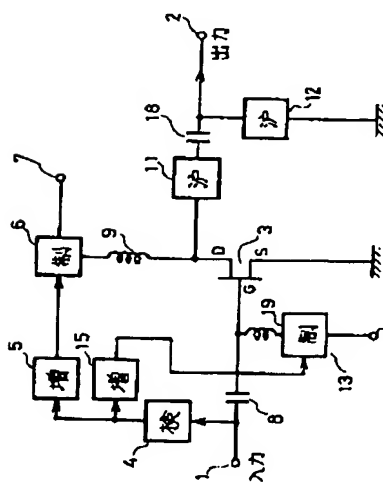
15



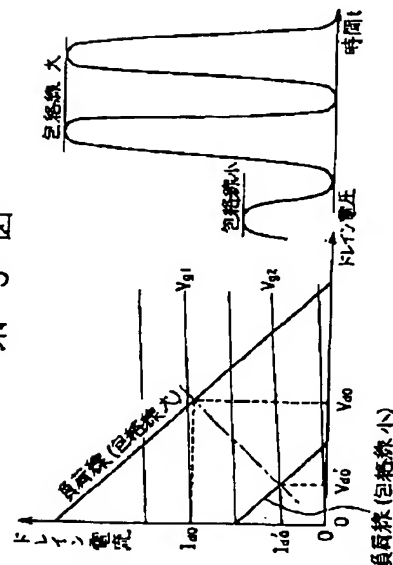
第一実施例
第1図



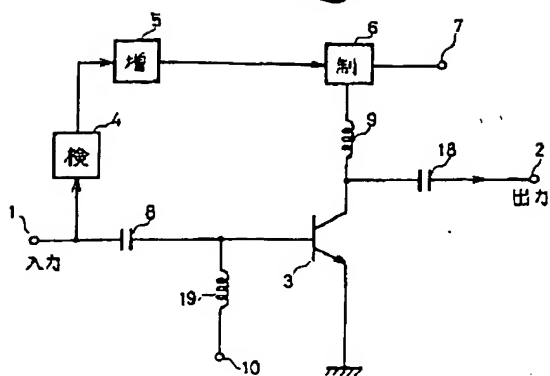
実施例特性
第2図



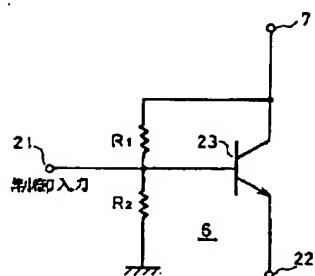
第3図



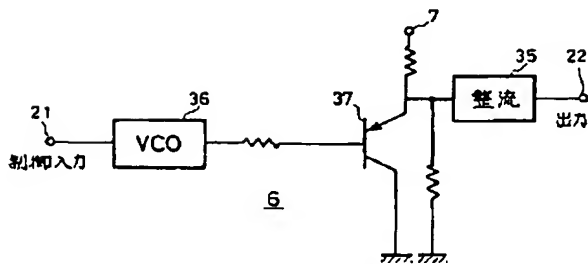
実施例特性
第4図



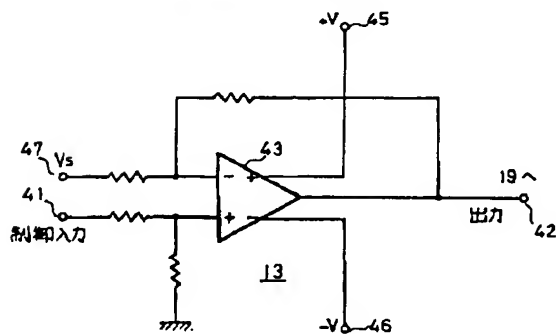
第三実施例
第 5 図



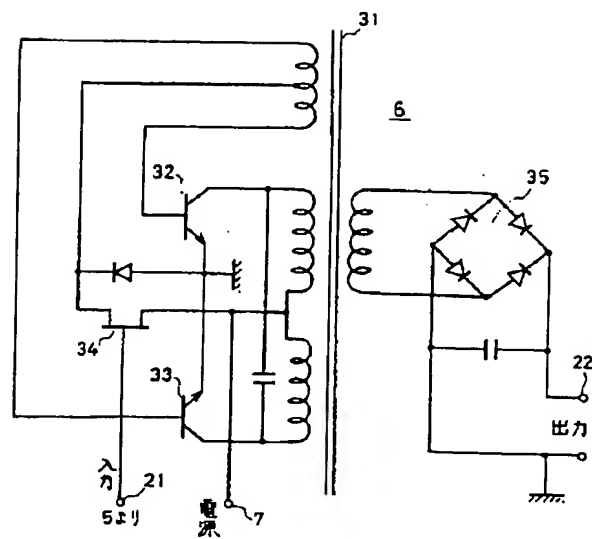
制御回路
第 6 図



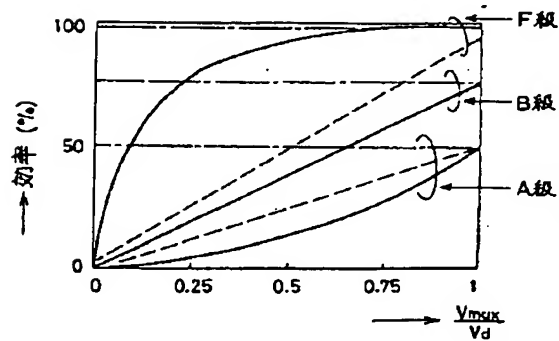
電圧制御回路
第 8 図



電圧制御回路(ゲートバイアス用)
第 9 図



電圧制御回路
第 7 図



第 10 図